

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro(43) Internationales Veröffentlichungsdatum
18. Dezember 2003 (18.12.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/104987 A2(51) Internationale Patentklassifikation⁷: G06F 9/445

(21) Internationales Aktenzeichen: PCT/DE03/01748

(22) Internationales Anmeldedatum:
28. Mai 2003 (28.05.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 25 099.5 5. Juni 2002 (05.06.2002) DE(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): PHILIPS SEMICONDUCTORS DRESDEN AG [DE/DE]; Am Waldschlößchen 1, 01099 Dresden (DE).

(72) Erfinder; und

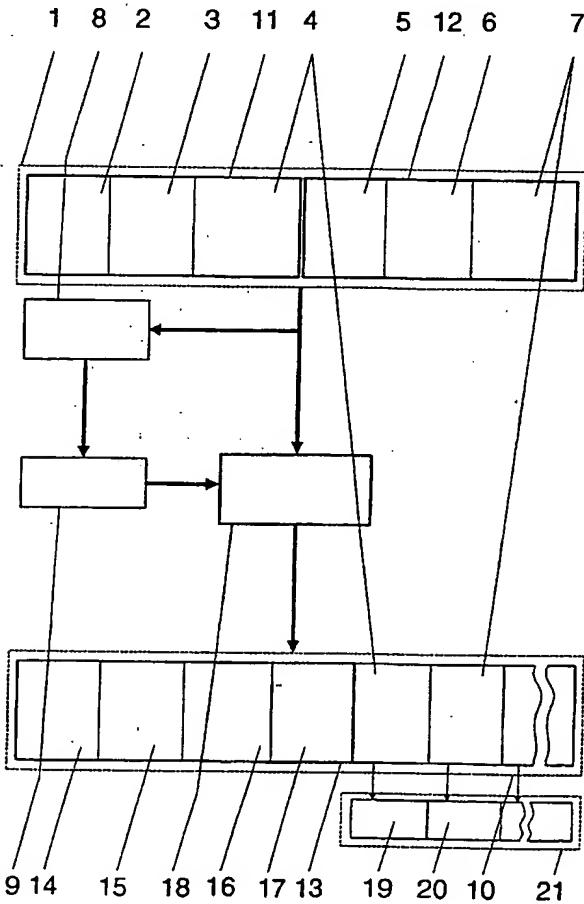
(75) Erfinder/Anmelder (*nur für US*): BETZINGER, Helge [DE/DE]; Förstereistrasse 9, 01099 Dresden (DE). TANG, Yuhu [CN/DE]; Wundstrasse 5/2R4, 01217 Dresden (DE).

(74) Anwalt: ADLER, Peter; Lippert, Stachow, Schmidt & Partner, Krenkelstrasse 3, 01309 Dresden (DE).

(81) Bestimmungsstaaten (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR,*[Fortsetzung auf der nächsten Seite]*

(54) Title: METHOD FOR THE CODING/DECODING OF VLIW CACHED INSTRUCTIONS

(54) Bezeichnung: VERFAHREN ZUM CODIEREN/DECODIEREN VON VLIW CACHED BEFEHLEN



WO 03/104987 A2

der Prozessorperformance durch Erhöhung

(57) Abstract: The invention relates to a method for the control of functional units in a processor. During a configuration phase, a series of primary instruction words from the translation of a programme code are subjected to a division into series of instruction word bits, whereby the instruction words controlling the processor during a programme execution are generated with the full instruction word size and buffered in an instruction word memory (cache). According to the invention, the aim of increasing the processor performance in the execution phase by increasing the degree of compression of the primary instruction words into the divided instruction word bits thereof, independent of special features (such as periodicity) of the FIW (Function Instruction Word bit) is achieved, whereby the division of a primary instruction word into a TVLIW (Tagged Very Long Instruction Word) occurs in a first step during the configuration phase and the given TVLIW is transformed into a HVLIW (Headed Very Long Instruction Word) in a second step. A general header is given in the HVLIW. The HVLIW, with the code-compressed structure thereof, replaces all functions of the TVLIW (1).

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zur Ansteuerung von Funktionseinheiten in einem Prozessor, wobei in einer Konfigurationsphase eine aus einer Übersetzung eines Programmcodes stammende Folge von Primärinstruktionsworten eine Fraktionierung in eine Folge von Instruktionswortteilen erfährt, wobei in einem Programmablauf den Prozessor ansteuernde Instruktionsworte in der vollen Instruktionswortbreite erzeugt und in einem Instruktionswortspeicher (Cache) zwischengespeichert werden. Die erfindungsgemäße Aufgabenstellung, in der Ausführungsphase eine Steigerung

[Fortsetzung auf der nächsten Seite]